

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 5 日
Date of Application:

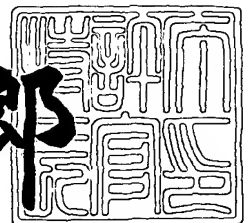
出 願 番 号 特 願 2 0 0 2 - 2 2 7 4 4 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 2 7 4 4 4]

出 願 人 株式会社デンソー
Applicant(s):

2 0 0 3 年 7 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 N020235

【提出日】 平成14年 8月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H02H 3/087
H03F 3/45

【発明者】

【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

【氏名】 今井 祐志

【発明者】

【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

【氏名】 青木 充

【発明者】

【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

【氏名】 伴 博行

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代理人】

【識別番号】 100071135

【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

【弁理士】

【氏名又は名称】 佐藤 強

【電話番号】 052-251-2707

【手数料の表示】

【予納台帳番号】 008925

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算増幅器

【特許請求の範囲】

【請求項 1】 入力端子の電圧を増幅する差動増幅回路と、
出力端子に接続された出力トランジスタと、
前記差動増幅回路から与えられる制御信号に応じて前記出力トランジスタを駆動する駆動用トランジスタと、

この駆動用トランジスタに前記出力トランジスタを通して所定のしきい値を超える電圧が印加されている時に、前記差動増幅回路から前記駆動用トランジスタに与えられる制御信号を前記駆動用トランジスタが遮断しない範囲内で低減する制御信号低減回路とを備えて構成されていることを特徴とする演算増幅器。

【請求項 2】 前記制御信号低減回路は、
前記駆動用トランジスタに印加される電圧が前記しきい値を超えている時に検出信号を出力する電圧検出回路と、

前記駆動用トランジスタの制御端子間に接続され、前記電圧検出回路が検出信号を出力している時に、前記差動増幅回路から与えられる制御信号の一部を無効化する制御信号調整回路とから構成されていることを特徴とする請求項 1 記載の演算増幅器。

【請求項 3】 前記電圧検出回路は、前記駆動用トランジスタに印加される電圧が前記しきい値を超えないように制限することを特徴とする請求項 2 記載の演算増幅器。

【請求項 4】 前記制御信号調整回路は、前記検出信号に応じて、前記差動増幅回路から与えられる制御信号の一部をグランドに逃すことを特徴とする請求項 2 または 3 記載の演算増幅器。

【請求項 5】 前記駆動用トランジスタの出力端子と前記出力トランジスタの入力端子との間に電流制限回路が接続されていることを特徴とする請求項 1 ないし 4 の何れかに記載の演算増幅器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、出力短絡保護機能を有する演算増幅器に関する。

【0002】**【発明が解決しようとする課題】**

車両に搭載されている ECU (Electronic Control Unit) は、ハーネスを用いて車両の各部に取り付けられている負荷や他の ECU に接続されている。従来の接続形態では車体（ボデー）をアース（グランド）として使用していたため、駆動信号などの信号ハーネスを単独で配線する場合が多く、配線途中で生じる故障としては信号ハーネスとボデーとの短絡故障が主であった。このため、ECU の出力部に用いられているオペアンプには、出力端子とグランドとの短絡故障を防止するための保護回路が付加されている。

【0003】

図3は、この従来から用いられているオペアンプの駆動部と出力部の電氣的構成を示している。電源線1と2との間には、プッシュプル出力回路3を構成するトランジスタQ1とQ2が出力端子4を挟んで直列に接続されており、そのトランジスタQ1と出力端子4の間には抵抗R1が接続されている。トランジスタQ3～Q6は、これらトランジスタQ1とQ2を駆動する駆動回路5を構成している。トランジスタQ7は、抵抗R1とともに保護回路6を構成しており、出力端子4がグランド線2に短絡した時にオンとなってトランジスタQ1をオフさせる。

【0004】

ところで、近年の車両は多くの ECU を搭載し多機能化が図られており、それに伴って車両に搭載されるハーネスの重量が問題となってきた。そこで、ハーネスの本数を低減するため、バッテリーから各 ECU 毎に並列配線されていた電源ハーネスの接続形態に替えて、バッテリーからの1本の電源ハーネスを信号ハーネスとまとめて各 ECU に順次縦続配線していく接続形態が用いられる場合がある。また、外来ノイズが侵入することを防止するために、ガードリングとして信号ハーネスと電源ハーネス、グランドハーネスとをまとめて配線する場合も増加している。その結果、信号ハーネスとボデーとの短絡故障のみならず、信号ハー

ネスと電源ハーネスとの短絡故障も増えている。

【0005】

図3に示したオペアンプは、出力端子4が電源ハーネス（電源線1と同電位）と短絡しても直ちに壊れることはないが、その短絡状態が継続すれば熱破壊に至る虞がある。これに対しては、トランジスタQ2に上記保護回路6と同様の回路を付加することも考えられるが、出力端子4とトランジスタQ2との間に抵抗を挿入すると出力可能な最低電圧が上昇し、接続される負荷によっては使用できない場合が生じる。そのため、従来は短絡故障の発生を検出しオペアンプの出力端子を電氣的に切り離す保護回路を別途設けたり、オペアンプを構成する各素子サイズを大きくして素子自体の破壊耐力を上げるなどの措置が必要となり、回路規模の増大やコストの上昇を招いていた。

【0006】

本発明は上記事情に鑑みてなされたもので、その目的は、出力可能な電圧範囲を広くでき且つ回路構成を複雑化することなく、出力端子と電源線との短絡から保護する機能を備えた演算増幅器を提供することにある。

【0007】

【課題を解決するための手段】

請求項1に記載した手段によれば、出力端子と電源線が短絡して駆動用トランジスタに出力トランジスタを通して所定のしきい値を超える過大な電圧が印加された時、信号低減回路は、差動増幅回路から駆動用トランジスタに与えられる制御信号を低減するので、駆動用トランジスタによる出力トランジスタの駆動能力が一時的に低下して、出力トランジスタに流れる短絡電流が制限される。

【0008】

この信号低減回路は、出力トランジスタに直列に挿入される構成要素を有していないので、出力可能な電圧範囲を広く設定できる。また、一般に演算増幅器はフィードバックをかけた状態で使用されるが、出力端子と電源線とが短絡されている期間においても駆動用トランジスタが遮断しないため、差動増幅回路からのフィードバックに係る制御信号が駆動用トランジスタに入力され続ける。その結果、出力端子と電源線との短絡状態が解消すると、駆動用トランジスタはフィー

ドバックに係る制御信号によって直ちに出力短絡前における出力トランジスタの駆動能力を回復でき、不安定状態に移行することなく正常動作に復帰することができる。

【0009】

請求項2に記載した手段によれば、出力端子と電源線が短絡して駆動用トランジスタに印加される電圧が前記しきい値を超えると、電圧検出回路は検出信号を出力する。この出力期間、制御信号調整回路は、差動増幅回路から与えられる制御信号の一部を無効化するので、その無効化分だけ駆動用トランジスタに与えられる制御信号が低減する。この制御信号調整回路は、駆動用トランジスタの制御端子間に接続されているので、出力トランジスタの出力可能な電圧範囲を狭めることがない。

【0010】

請求項3に記載した手段によれば、電圧検出回路は、駆動用トランジスタに印加される電圧がしきい値を超えないように制限するので、駆動用トランジスタに過大な電圧が印加されることを防止することができる。

【0011】

請求項4に記載した手段によれば、制御信号調整回路は、差動増幅回路から与えられる制御信号の一部を検出信号に応じてグランドに逃すことにより無効化を図り、駆動用トランジスタに与えられる制御信号を低減する。

【0012】

請求項5に記載した手段によれば、出力端子と電源線とが短絡した場合に、抵抗などの電流制限回路が、出力トランジスタから駆動用トランジスタに流れる電流を制限する。

【0013】

【発明の実施の形態】

以下、本発明の一実施形態について図1および図2を参照しながら説明する。

図1は、車両用ECUの信号出力部に用いられているオペアンプの電氣的構成を示している。この図1に示すオペアンプ11（演算増幅器に相当）は、ECUの基板上に搭載された制御用ICの一部として構成されており、図示しないバッ

テリからイグニッションスイッチを介して電源線 12、13 間に供給されるバッテリー電圧 VB により動作するようになっている。

【0014】

オペアンプ 11 は、差動増幅回路 14、駆動部 15、出力部 16 およびバイアス回路 17 から構成されている。このうちバイアス回路 17 は、PNP 形トランジスタ Q11～Q17 の共通ベース線 18 にバイアス電圧を出力し、これらトランジスタ Q11～Q17 を定電流動作させる回路である。電源線 12 とトランジスタ Q11～Q15 の各エミッタとの間には、それぞれ抵抗 R11～R15 が接続されている。

【0015】

差動増幅回路 14 において、トランジスタ Q13 のコレクタには一対の PNP 形トランジスタ Q18、Q19 が接続されている。これらトランジスタ Q18、Q19 と電源線 13 との間には、それぞれ能動負荷 19 を構成するトランジスタ Q20 と抵抗 R16、トランジスタ Q21 と抵抗 R17 が接続されている。トランジスタ Q20 のベース・コレクタ間は短絡されている。

【0016】

トランジスタ Q12、Q14 の各コレクタと電源線 13 との間には、それぞれレベルシフト回路の形態を持つ PNP 形トランジスタ Q22、Q23 が接続されている。これらトランジスタ Q22、Q23 の各エミッタは、それぞれトランジスタ Q18、Q19 のベースに接続されており、トランジスタ Q22、Q23 の各ベースは、それぞれ抵抗 R18、R19 を介して反転入力端子 20、非反転入力端子 21 に接続されている。これらトランジスタ Q22、Q23 を付加することにより、入力バイアス電流を低減できるとともに入力電圧 V_{inm} 、 V_{inp} の下限電圧を 0 V 付近にまで下げることができる。

【0017】

トランジスタ Q11、Q15 の各コレクタと電源線 13 との間には、それぞれ PNP 形トランジスタ Q24、Q25 が接続されている。トランジスタ Q24、Q25 のベースは、それぞれトランジスタ Q20、Q21 のコレクタ（トランジスタ Q18、Q19 のコレクタ）に接続されている。これらトランジスタ Q24

、Q25は、それぞれトランジスタQ18、Q19に代わってトランジスタQ20、Q21にベース電流を供給するベース電流補償回路を構成している。

【0018】

駆動部15は、差動増幅回路14から出力される制御信号に応じて出力部16を駆動する回路である。トランジスタQ16のコレクタと電源線13との間にはNPN形トランジスタQ26と抵抗R20とが直列に接続されており、そのトランジスタQ26のベースは差動増幅回路14の出力ノードであるトランジスタQ25のエミッタに接続されている。一方、トランジスタQ17のコレクタと電源線13との間にはダイオードD11とD12とNPN形トランジスタQ27とが直列に接続されており、そのトランジスタQ27のベースはトランジスタQ26のエミッタに接続されている。

【0019】

トランジスタQ27のコレクタとエミッタ（電源線13）との間には、図示極性のツェナーダイオードD13とダイオードD14との直列回路からなる電圧検出回路22が接続されている。また、トランジスタQ27の制御端子間であるベース・エミッタ間には、制御信号調整回路としてのトランジスタQ28のコレクタ・エミッタ間が接続されており、そのトランジスタQ28のベースは、ツェナーダイオードD13とダイオードD14の各アノードの共通接続点に接続されている。これら電圧検出回路22とトランジスタQ28とにより制御信号低減回路23が構成されている。なお、上記ダイオードD14に替えて抵抗を用いても良い。トランジスタQ27のコレクタとトランジスタQ21のコレクタとの間には、位相補償用のコンデンサC11が接続されている。

【0020】

出力部16は、プッシュプル回路の構成となっている。電源線12と出力端子24との間にはNPN形トランジスタQ29と抵抗R21とが直列に接続されており、出力端子24と電源線13の間にはPNP形トランジスタQ30が接続されている。トランジスタQ29、Q30の各ベースは、それぞれ抵抗R22、R23を介してトランジスタQ17、Q27の各コレクタに接続されている。ここで、抵抗R23は電流制限回路に相当する。トランジスタQ29のベース・エミ

ッタ間には、過電流保護用のNPN形トランジスタQ31のコレクタ・ベース間が接続されており、そのトランジスタQ31のエミッタは、抵抗R24を介して出力端子24に接続されている。

【0021】

次に、フィードバックをかけた状態でのオペアンプ11の動作について図2も参照しながら説明する。

まず、制御用ICの外部において出力端子24に繋がる信号ハーネスが電源線12、13と同電位を持つ電源ハーネス、グランドハーネスと短絡されていない正常状態の場合、出力端子24の出力電圧 V_{out} は、バッテリー電圧 V_B からトランジスタQ29のコレクタ・エミッタ間電圧および抵抗R21の両端電圧だけ低下した電圧となっている。この出力電圧 V_{out} は、トランジスタQ30のエミッタ・ベース間および抵抗R23を介して、トランジスタQ27のコレクタ・エミッタ間および電圧検出回路22に印加される。

【0022】

この時の印加電圧は、ツェナーダイオードD13のツェナー電圧 V_Z とトランジスタQ28がオンするためのベース・エミッタ間電圧 V_{BE} とを加算した電圧 V_r （所定のしきい値に相当）よりも低いため、ツェナーダイオードD13、ダイオードD14およびトランジスタQ28は全てオフ状態となっている。また、抵抗R21の両端電圧が、トランジスタQ31がオンするためのベース・エミッタ間電圧 V_{BE} よりも低いため、トランジスタQ31はオフ状態となっている。

【0023】

差動増幅回路14は、入力電圧 V_{inP} と V_{inM} との差電圧を増幅し、その増幅電圧を駆動部15のトランジスタQ26のベースに出力する。トランジスタQ26は、トランジスタQ27に対し上記増幅電圧に応じたベース電流（制御信号に相当）を出力し、トランジスタQ17とQ27はトランジスタQ29とQ30とからなるプッシュプル回路を駆動する。

【0024】

これに対し、出力端子24に繋がる信号ハーネスがグランドハーネスと短絡した場合、または出力端子24とグランド（バッテリーの負極端子）との間に接続さ

れる負荷抵抗が小さい場合には、抵抗 R_{21} の両端電圧がトランジスタ Q_{31} のオンに必要なベース・エミッタ間電圧 V_{BE} よりも高くなる。その結果、トランジスタ Q_{31} がオンとなり、トランジスタ Q_{29} のベース電位を下げ、当該トランジスタ Q_{29} を介して流れる出力電流 I_{out} を制限する。これにより、オペアンプ 11 は出力端子 24 のグランド短絡から保護される。

【0025】

一方、出力端子 24 に繋がる信号ハーネスがバッテリー電位を持つ電源ハーネスと短絡した場合、または信号ハーネスと電源（バッテリーの正極端子）との間に接続される負荷抵抗が小さい場合には、出力端子 24 の電圧 V_{out} がバッテリー電圧 V_B 付近にまで上昇し、トランジスタ Q_{30} のエミッタ・ベース間および抵抗 R_{23} を介して、トランジスタ Q_{27} のコレクタ・エミッタ間および電圧検出回路 22 に印加される電圧が上昇する。

【0026】

この電圧は、上記電圧 V_r よりも高いため、ツェナーダイオード D_{13} がオンとなりトランジスタ Q_{28} にベース電流が流れる。その結果、トランジスタ Q_{28} がオンとなって、トランジスタ Q_{26} からトランジスタ Q_{27} に出力されるベース電流の一部を電源線 13 に流す。その結果、トランジスタ Q_{27} のベース電流が減少し、当該トランジスタ Q_{27} のコレクタ電位すなわちトランジスタ Q_{30} のベース電位が上昇して、当該トランジスタ Q_{30} を介して流れ込む出力電流 I_{out} を制限する。これにより、オペアンプ 11 は出力端子 24 の電源短絡から保護される。

【0027】

図 2 は、オペアンプ 11 をボルテージフォロアの接続形態で使用し、非反転入力端子 21 に 3.3 V の入力電圧 V_{inp} を印加した状態で、出力端子 24 が電源線 12 と短絡した場合のシミュレーション波形を示している。(a) は出力電流 I_{out} の波形で、(b) は出力電圧 V_{out} の波形である。時刻 $1.0 \mu s$ において出力端子 24 が電源線 12 ($V_B = 1.4 V$) と短絡すると、ごく短時間だけ短絡電流が流れるが、その後は出力電流 I_{out} が制限されていることが分かる。この場合、制御信号低減回路 23 はトランジスタ Q_{27} が遮断しない範囲内でその

ベース電流を低減させるので、これにより駆動される出力段のトランジスタ Q30 も完全にオフすることではなく、トランジスタ Q30 の過電流保護が図られながら出力電流 I_{out} が流れ続ける。

【0028】

図 2 には示されていないが、その後出力端子 24 と電源線 12 との短絡状態が解消されると、ツェナーダイオード D13 およびトランジスタ Q28 がオフに転じ、トランジスタ Q26 からトランジスタ Q27 に流れ込むベース電流が直ちに出力短絡前の元の電流値に戻る。これにより、トランジスタ Q30 は元の駆動能力を回復でき、オペアンプ 11 は不安定状態に移行することなく正常動作に復帰することができる。

【0029】

これに対し、本願発明とは異なり出力短絡時にトランジスタ Q27 が遮断状態となってトランジスタ Q30 が完全にオフした状態になると、短絡状態が解消された時に差動増幅回路 14 からのフィードバック信号がトランジスタ Q27 に直ちに作用されず、トランジスタ Q27 の駆動能力の回復ひいてはトランジスタ Q30 の電流出力能力の回復が遅れ、出力状態が不安定となる虞がある。

【0030】

以上説明したように、本実施形態のオペアンプ 11 は、駆動部 15 に制御信号低減回路 23 を備えた構成に特徴を有している。そして、出力端子 24 に繋がる信号ハーネスがバッテリー電位 V_B を持つ電源ハーネスと短絡して駆動トランジスタ Q27 に電圧 V_r を超える電圧が印加された時に、制御信号低減回路 23 は駆動トランジスタ Q27 のベース電流を減少させるので、トランジスタ Q27 によるトランジスタ Q30 の駆動能力が一時的に低下して、出力トランジスタ Q30 に流れる短絡電流が制限される。

【0031】

この制御信号低減回路 23 は、トランジスタ Q30 に直列に接続される構成要素を持たないので、出力電圧 V_{out} はグランド電位 (0 V) 付近まで低下することができ、出力電圧範囲を広く設定できる。また、出力端子 24 が電源短絡している期間においてトランジスタ Q27 が遮断しないため、差動増幅回路 14 から

のフィードバックに係る制御信号がベース電流としてトランジスタQ27に入力され続ける。その結果、出力端子24の電源短絡状態が解消すると、トランジスタQ27は差動増幅回路14からトランジスタQ26を介して与えられるベース電流によって直ちに出力短絡前におけるトランジスタQ30の駆動能力を回復でき、不安定状態に移行することなく正常動作に復帰することができる。

【0032】

また、出力端子24が電源短絡している期間、電圧検出回路22は、トランジスタQ27に印加される電圧が電圧 V_r を超えないように制限するので、トランジスタQ27のコレクタ・エミッタ間に電圧 V_r を超える過大な電圧が印加されることを防止することができる。さらに、トランジスタQ27のコレクタとトランジスタQ30のベースとの間に接続された抵抗R23が、トランジスタQ30を介してトランジスタQ27およびツェナーダイオードD13に流れ込む電流を制限するので、過大な電流から保護することができる。

【0033】

このように、ECUに用いられるオペアンプ11の電源短絡保護が図られることにより、ECU相互間またはECUと車載機器との間で信号ハーネスと電源ハーネスとをまとめて配線することができ、配線の効率化および信号ハーネスのガードリング効果が得られる。

【0034】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

バイポーラトランジスタに替えてFETにより構成しても良い。この場合には、差動増幅回路から駆動用FETに与えられる制御信号はゲート電圧信号となり、制御信号調整回路は、出力端子24に繋がる信号ハーネスが電源ハーネスと短絡している期間、差動増幅回路から与えられる電圧の一部を負担することにより駆動用FETに与えられるゲート電圧信号を低減する。

【0035】

上記実施形態の制御信号低減回路23は、出力端子24が電源線12または電

源ハーネスと短絡した場合に出力トランジスタ Q30 を保護するものであるが、図 1 において電源線 12 をグランド電位、電源線 13 を電源電位とし、各トランジスタの形式 (PNP 形、NPN 形) を入れ替え、それに合わせてダイオードの向きを替えることによって、出力端子 24 がグランドと短絡した場合に出力トランジスタ Q30 を保護することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態を示すオペアンプの電気的構成図

【図 2】

出力端子が電源線と短絡した場合のシミュレーション波形図

【図 3】

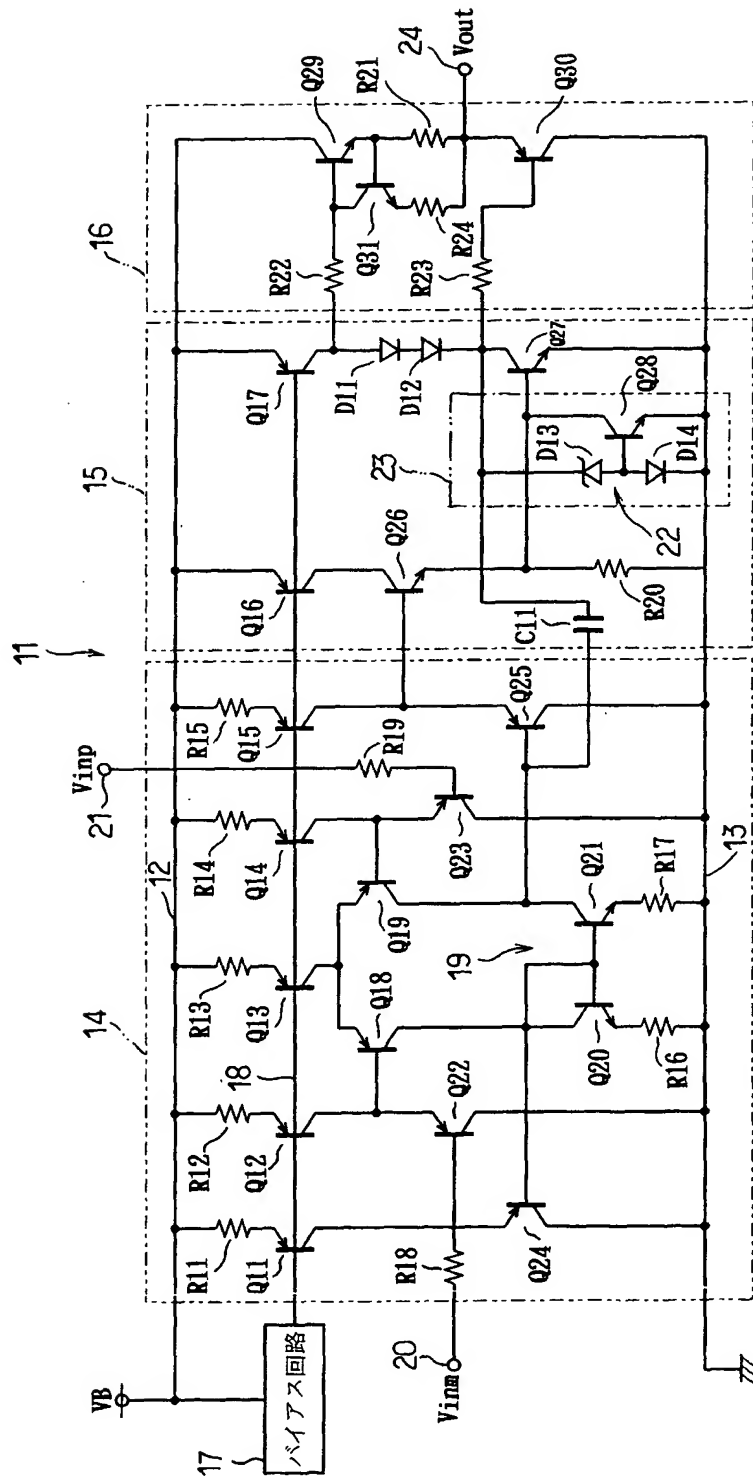
従来技術を示すオペアンプの駆動部と出力部の電気的構成図

【符号の説明】

11 はオペアンプ (演算増幅器)、14 は差動増幅回路、20 は反転入力端子 (入力端子)、21 は非反転入力端子 (入力端子)、22 は電圧検出回路、23 は制御信号低減回路、24 は出力端子、Q27 はトランジスタ (駆動用トランジスタ)、Q28 はトランジスタ (制御信号調整回路)、Q30 はトランジスタ (出力トランジスタ) である。

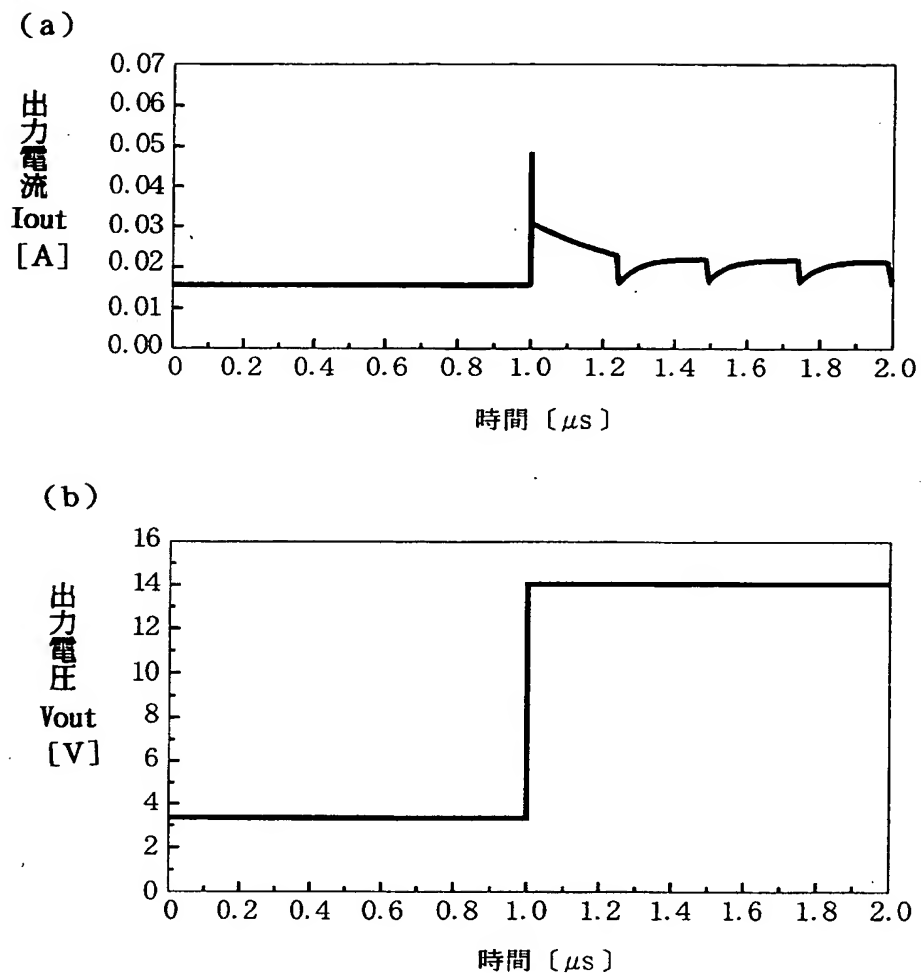
【書類名】 図面

【図 1】

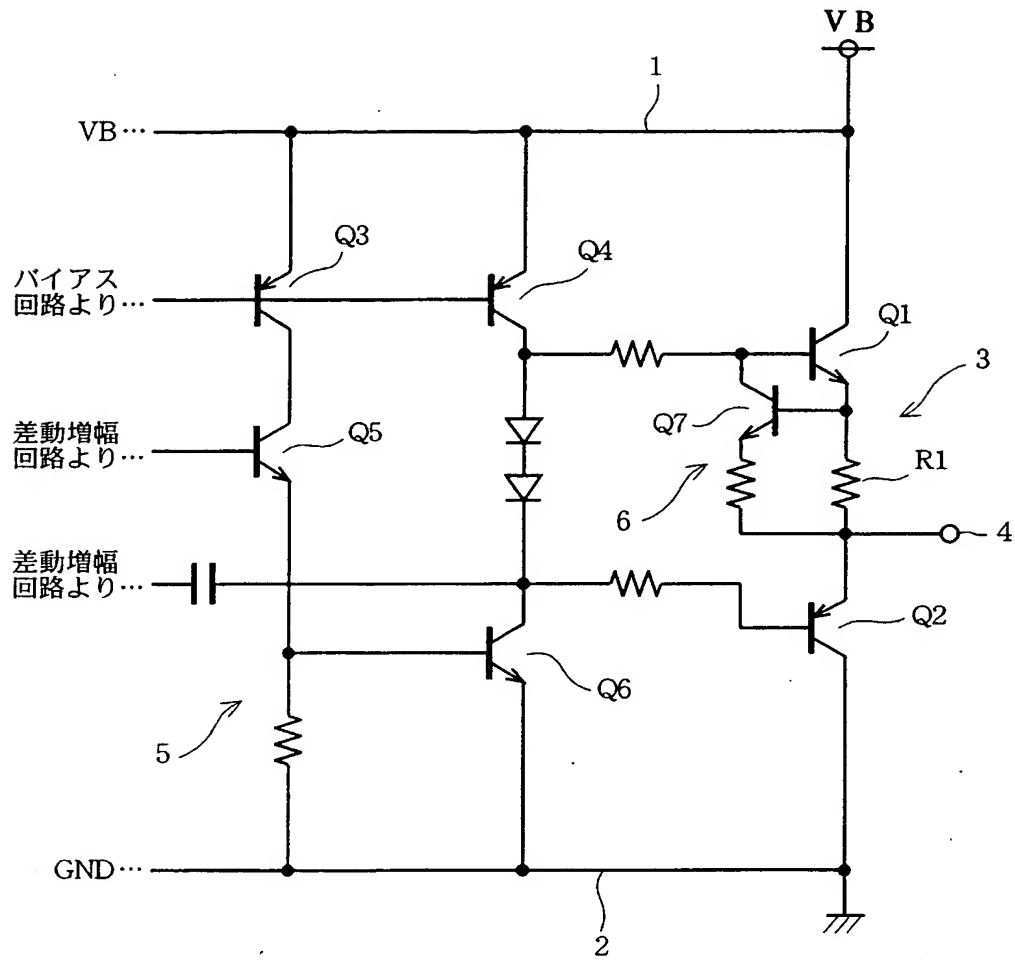


- 11: 演算増幅器
- 14: 差動増幅回路
- 20, 21: 入力端子
- 22: 電圧検出回路
- 23: 制御信号低減回路
- 24: 出力端子
- Q27: 駆動用トランジスタ
- Q28: 制御信号調整回路
- Q30: 出力トランジスタ

【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 出力可能な電圧範囲を広くでき且つ回路構成を複雑化することなく、出力端子と電源線との短絡から回路を保護する。

【解決手段】 出力端子 2 4 が電源線 1 2 と短絡すると、出力端子 2 4 の電圧 V_{out} がバッテリー電圧 V_B 付近にまで上昇し電圧検出回路 2 2 の両端電圧が上昇するので、ツェナーダイオード D_{13} とトランジスタ Q_{28} がオンとなって、トランジスタ Q_{26} からトランジスタ Q_{27} に出力されるベース電流の一部を電源線 1 3 に流す。トランジスタ Q_{27} のベース電流が減少し、トランジスタ Q_{30} を介して流れ込む出力電流 I_{out} が制限される。

【選択図】 図 1

特願 2 0 0 2 - 2 2 7 4 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー